

PCT/JP03/14435

日本国特許庁  
JAPAN PATENT OFFICE

13.11.03

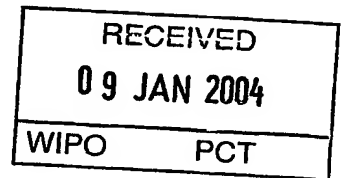
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2002年12月16日

出願番号  
Application Number: 特願2002-364492  
[ST. 10/C]: [JP2002-364492]

出願人  
Applicant(s): アジレント・テクノロジー株式会社

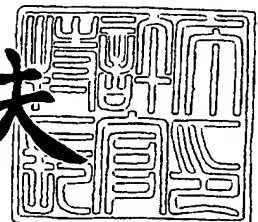


PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2003年12月22日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特願

【整理番号】 P021487

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 29/786

【発明者】

【住所又は居所】 東京都八王子市高倉町 9-1 アジレント・テクノロジー株式会社内

【氏名】 乗松 秀行

【特許出願人】

【識別番号】 000121914

【氏名又は名称】 アジレント・テクノロジー株式会社

【代理人】

【識別番号】 100099623

【弁理士】

【氏名又は名称】 奥山 尚一

【選任した代理人】

【識別番号】 100096769

【弁理士】

【氏名又は名称】 有原 幸一

【選任した代理人】

【識別番号】 100107319

【弁理士】

【氏名又は名称】 松島 鉄男

【手数料の表示】

【予納台帳番号】 086473

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 契約書 1

【包括委任状番号】 9909279

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アクティブマトリクス型の表示装置およびその検査方法

【特許請求の範囲】

【請求項 1】 基板と、

該基板上に設けられる各画素を構成する表示素子のための電極と、

該電極と電流源配線 ( $I_s(m)$ ) とにそれぞれ接続され、該表示素子のオン状態またはオフ状態をそのゲートに加えられる電圧で規定している第 1 のトランジスタ ( $Q_2$ ) と、

該第 1 のトランジスタ ( $Q_2$ ) のゲートと前記表示素子にデータ保持用信号配線 ( $Data(m)$ ) とにそれぞれ接続され、該第 1 のトランジスタのオン状態またはオフ状態を、該電圧信号配線に接続されたそのゲートに加えられる電圧で規定している第 2 のトランジスタ ( $Q_1$ ) と、

前記第 1 電流源配線と前記第 1 のトランジスタのゲートとにそれぞれ接続され、前記第 2 のトランジスタがオン状態の間に、前記第 2 のトランジスタを介して供給される前記電圧信号を保持するための保持容量 ( $C_1$ ) と、

前記電極と、前記表示素子に隣接する別の表示素子用のゲート信号配線 ( $Gate(n-1)$ ) とに接続され、また、前記表示素子に隣接する表示素子用の電流源配線 ( $I_s(m+1)$ ) の電位を変更してそのゲートをオン状態またはオフ状態にすることにより、前記第 2 のトランジスタから前記電極に流れる電流を、該別の表示素子用のゲート信号配線 ( $Gate(n-1)$ ) へと導く第 3 のトランジスタ ( $Q_t$ ) と

を少なくとも含んでなるアクティブマトリクス型の表示装置。

【請求項 2】 前記表示素子が、有機 EL 素子または液晶素子である請求項 1 に記載の表示装置。

【請求項 3】 前記第 3 のトランジスタのゲートが、別途設けた配線 ( $Gate(Common)$ ) に接続されている請求項 1 または 2 に記載の表示装置。

【請求項 4】 前記第 3 のトランジスタのドレインがさらに別途設けた配線 ( $Drain(n)$ ) に接続されている請求項 3 に記載の表示装置。

【請求項 5】 前記第 3 のトランジスタが p 型のものである請求項 1 から 4

のいずれかに記載の表示装置。

【請求項 6】 前記第 3 のトランジスタからの配線が、2 つ以上の前記表示素子を表示装置が稼動状態にあるときに同時に制御する周辺回路に接続されており、前記第 3 のトランジスタが該周辺回路を介して順次切り換えられる請求項 1 から 5 のいずれかに記載の表示装置。

【請求項 7】 前記請求項 1 から 6 のいずれかのアクティブマトリクス型の表示装置の各表示素子を検査する方法であって、

前記第 2 のトランジスタ (Q 1) のゲート電圧を制御して前記保持容量 (C 1) へと電荷を貯めるステップと、

検査対象の表示素子とは異なる表示素子用の第 1 の配線の電位を変えて、前記第 3 のトランジスタ (Q t) のゲートを制御するステップと、

検査対象の表示素子用の前記電流源配線に接続されている測定器を用いて、前記第 3 のトランジスタ (Q t) を介して前記電極から流れる電流または電荷量を測定するステップと

を含んでなる表示装置の検査方法。

【請求項 8】 基板と、

該基板上に設けられる各画素を構成する表示素子のための電極と、

該電極と電流源配線 (I s (m)) とにそれぞれ接続され、該表示素子のオン状態またはオフ状態をそのゲートに加えられる電圧で規定している第 1 のトランジスタ (Q 2) と、

該第 1 のトランジスタ (Q 2) のゲートと前記表示素子にデータ保持用信号配線 (D a t a (m)) とにそれぞれ接続され、該第 1 のトランジスタのオン状態またはオフ状態を、該電圧信号配線に接続されたそのゲートに加えられる電圧で規定している第 2 のトランジスタ (Q 1) と、

前記第 1 電流源配線と前記第 1 のトランジスタのゲートとにそれぞれ接続され、前記第 2 のトランジスタがオン状態の間に、前記第 2 のトランジスタを介して供給される前記電圧信号を保持するための保持容量 (C 1) と、

前記電極 (I T O) と前記表示素子に隣接する表示素子用の配線 (G a t e (n - 1)) とに接続されたダイオード (D t) と

を含んでなる表示装置。

【請求項 9】 前記表示素子が、有機 EL 素子または液晶素子である請求項 8 に記載の表示装置。

【請求項 10】 前記ダイオードが、新たな配線 (D r a i n (n)) に接続されている請求項 8 または 9 に記載の表示装置。

【請求項 11】 前記請求項 7 から 10 のいずれかのアクティブマトリクス型の表示装置の各画素を検査する方法であって、

前記第 2 のトランジスタ (Q 1) のゲートを制御して前記保持容量 (C 1) へと電荷を貯めるステップと、

検査対象の表示素子に隣接する表示素子用の第 1 配線の電位を変えて、該検査対象の表示素子に隣接する表示素子用の第 2 配線に接続されている測定器を用いて、前記ダイオード (D t) を介して前記電極から流れる電流または電荷量を測定するステップと

を含んでなる表示装置の検査方法。

【請求項 12】 アクティブマトリクス型の表示装置であって、該表示装置を構成する画素のそれぞれが、

前記画素の表示素子へと接続される電極と、

該電極と前記画素用の第 1 の配線 (I s) とにそれぞれ接続される第 1 のトランジスタ (Q 2) と、

該第 1 のトランジスタのゲートとデータ保持用の電圧信号を与えるための配線 (D a t e) とにそれぞれ接続される第 2 のトランジスタ (Q 1) と、

前記第 1 のトランジスタのゲートと前記画素用の第 2 の配線 (C o m m o n) とにそれぞれ接続される保持容量 (C 1) と、

前記第 2 のトランジスタから前記電極に流れる電流によって電荷の蓄積を受けるように、前記電極と前記第 1 のトランジスタのゲートとに接続される負荷容量 (C t) と

を含んでなる表示装置。

【請求項 13】 前記表示素子が、有機 EL 素子または液晶素子である請求項 12 に記載の表示装置。

【請求項 14】 前記請求項 12 または 13 のアクティブマトリクス型の表示装置の各画素を検査する方法であって、

第 1 の電圧 (V2) を前記保持容量 (C1) に供給するステップと、

該第 1 の電圧とは異なる第 2 の電圧 (V1) を、前記第 1 のトランジスタ (Q2) を介して前記負荷容量 (Cfb) に供給するステップと、

前記第 1 のトランジスタの閾値電圧 (Vth) によって前記第 1 のトランジスタがオフになるまで、前記第 2 の電圧 (V1) を減少させるステップと、

前記第 2 のトランジスタをオンにして、データ保持用信号配線 (Data(m)) に接続された電荷測定器を用いて、前記保持容量 (C1) に蓄えられた電荷量を測定するステップと、

該測定された電荷量と、前記第 1 の電圧を供給したときの電荷量との差を各画素において求めるステップと、

前記差が所定の範囲内にあるかを判断するステップと  
を含んでなる表示装置の検査方法。

【請求項 15】 前記第 1 の電圧 (V2) を前記保持容量 (C1) に供給するステップの前に、前記保持容量に蓄えられている電荷量を予めリセットしておくステップをさらに含む請求項 14 に記載の方法。

【請求項 16】 基板と、

該基板上に設けられる各画素を構成する表示素子のための電極と、

該電極と電流源配線 (Is) とにそれぞれ接続される第 1 のトランジスタ (Q2) と、

該第 1 のトランジスタ (Q2) のゲートとデータ保持用信号配線 (Data) とにそれぞれ接続され、そのゲートに電圧信号配線 (Gate(n)) が接続されている第 2 のトランジスタ (Q1) と、

前記第 1 のトランジスタ (Q2) のゲートと電流源用配線 (Is) とにそれぞれ接続される保持容量 (C1) と、

前記第 1 のトランジスタ (Q2) がオンのときに流れる電流によって電荷の蓄積を受けるように、前記電極と隣接する表示素子の第 2 のトランジスタ (Q1) のゲートに接続されている配線 (Gate(n-1)) とに接続される負荷容量

(C t) と

を含んでなるアクティブマトリクス型の表示装置。

【請求項 17】 基板と、

該基板上に設けられる各画素を構成する表示素子のための電極と、

該電極と電流源配線 (I s) とにそれぞれ接続される第 1 のトランジスタ (Q 2) と、

該第 1 のトランジスタ (Q 2) のゲートとデータ保持用信号配線 (D a t a) とにそれぞれ接続され、そのゲートに電圧信号配線 (G a t e (n)) が接続されている第 2 のトランジスタ (Q 1) と、

前記第 1 のトランジスタ (Q 2) のゲートと電流源用配線 (I s) とにそれぞれ接続される保持容量 (C 1) と、

前記第 1 のトランジスタ (Q 2) がオンのときに流れる電流によって電荷の蓄積を受けるように、前記電極と同じ表示素子の第 2 のトランジスタ (Q 1) のゲートに接続されている配線 (G a t e (n)) とに接続される負荷容量 (C t) と

を含んでなるアクティブマトリクス型の表示装置。

【請求項 18】 前記表示素子が、有機 E L 素子または液晶素子である請求項 16 および 17 に記載の表示装置。

【請求項 19】 前記表示素子の前記第 3 の配線が、検査対象である表示素子それ自体のためのものである請求項 16 から 18 のいずれかに記載の表示装置。

【請求項 20】 前記表示素子の前記第 3 の配線が、検査対象である表示素子に隣接するいずれかの表示素子のためのものである請求項 16 から 19 のいずれかに記載の表示装置。

【請求項 21】 前記請求項 16 から 20 のいずれかのアクティブマトリクス型の表示装置の各表示素子を検査する方法であって、

前記第 2 のトランジスタ (Q 1) のゲートを制御して、前記保持容量 (C 1) へと電荷を貯めるステップと、

検査対象の表示素子とは異なる表示素子用の第 1 の配線の電位を変えて、該検

査対象の表示素子とは異なる表示素子用の第2の配線に接続されている測定器を用いて、前記電極から流れる電流または電荷量を測定するステップとを含んでなる表示装置の検査方法。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、本発明は、エレクトロルミネッセンス (Electroluminescence：以下、「EL」とよぶ) 素子を基板上に作り込んで形成された電子表示装置 (電気光学装置) に関し、特に、アクティブマトリクス型の TFT (Thin Film Transistor) を用いた有機 EL (Organic Electroluminescence：または OEL) ディスプレイ等の表示装置およびその検査方法に関する。

##### 【0002】

#### 【従来の技術】

近年、自ら発光するタイプの素子として EL 素子を有するアクティブマトリクス型の EL 表示装置の研究が活発化してきている。EL 表示装置は、有機 EL ディスプレイ又は有機ライトエミッティングダイオード (Organic Light Emitting Diode：OLED) とも呼ばれている。EL 素子は、一对の電極 (陽極および陰極) 間に EL 層が挟まれた積層構造を一般に有する。代表的なものとしては、コダック・イーストマン・カンパニーの Tang らが提案した「正孔輸送層／発光層／電子輸送層」という積層構造が挙げられる。このような EL 素子を用いたアクティブマトリクス型の表示装置は、自ら発光するものであり薄く、低消費電力にて駆動でき、次世代ディスプレイとして有望視されてきている。

##### 【0003】

このような表示回路に対しては、ガラス基板上に形成された TFT 駆動回路上に自発光の有機 EL 等を設ける前に、各画素においてこの駆動回路が問題なく形成されているかを予め確認したいという要望がある。これは、ガラス基板上に有機 EL の駆動回路を形成した段階において不良品が発生する可能性が比較的に高いことに起因する。これにより、早期に不良品を取り除いてスループット向上等が図られるというメリットがある。しかしながら、安価で高精度に効率的に検査

するための装置が提案されていない。

#### 【0004】

上記の問題を解決するために、以下の特許文献1の方法が提案されている。この方法では、TFT基板に対して、有機ELの代わりに導電性を有する膜を堆積させることにより回路特性を評価する方法を開示している。しかしながら、特許文献1の方法では、試験後にこの導電膜を除去するために余分な工程が必要となる。また、もしこの導電膜が十分に除去できない場合には、最終的な製品の品質に不具合が起こりうる。

また、別法として、上記の各画素の駆動回路の試験用にキャパシタ（容量）を予め組み込んでおく方法が特許文献2および特許文献3に開示されている。例として、特許文献2の回路を用いて説明する。図15は、特許文献2のアクティブマトリクス型表示装置での符号150に示す1画素あたりの等価回路である。この回路は、スイッチング用の第1のトランジスタTr1と、素子駆動用の第2のトランジスタTr2と、データを保持用の容量C1と、回路試験用に付加された容量C2とを含む。OELを表示素子とする各画素は、TFT基板上にマトリクス状に形成されたマトリクスアレイ基板を構成している。第1のトランジスタTr1のドレイン端子（D）はデータ電圧信号（Vdata）の入力ラインに接続され、ゲート端子（G）は外部からのゲート信号（Gate Sig）の入力を受けている。ここで、この第1のトランジスタTr1のソース端子（S）は、保持用の容量C1の一方の端子と第2のトランジスタTr2のゲート端子（G）とに接続されている。そして、保持用の容量C1の他方の端子は、VSCラインに接続されている。第2のトランジスタTr2のソース端子（S）には電源電圧P Vddが印加されており、ドレイン端子（D）は、OEL素子のアノード電極と付加容量C2の一方の端子とに接続されている。また、付加容量C2の他方の端子は、VSCラインに接続されている。なお、図15において、ダイオード152で示されている素子は、EL素子やLCD等の発光素子または駆動素子そのものの自体の負荷を模式的に示したものに過ぎない点に留意されたい。

#### 【0005】

次に、上記の図15の回路の簡単な動作について説明する。第1のトランジス

タTr1に対し、そのドレイン端子(S)に所望の階調値に応じたデータ電圧信号を印加し、ゲート端子(G)にゲート信号を入力し、第1のトランジスタTr1をオン状態にして、データ電圧信号の電圧値に応じた電荷を保持用の容量C1に保持させる。そして、この保持用の容量C1に保持された電荷量により、第2のトランジスタTr2のソース端子(S)とドレイン端子(D)との間の導通状態(抵抗)が制御され、電源電圧P Vddとこの制御された抵抗値とにより決まる電流値によって、OEL素子が駆動される。このとき、付加容量C2の一方の端子にも電力が供給されるため、その電力に応じた電荷が付加用の容量C2に蓄積される。従って、この付加用の容量C2に蓄積された電荷を調べることによりトランジスタの良否を判断し、TFT基板内の画素の駆動回路の欠陥検査を行うものである。

なお、図16に示すように、特許文献3は、図15と同様のアクティブマトリクス型表示装置160において、その表示装置160を構成するそれぞれの画素に対し、上記のキャパシタ(または容量)に対応する容量9108をEL素子等の駆動電極9105と隣のゲート線(G)とに接続する態様を開示するものである。

#### 【0006】

しかしながら、上記の特許文献2および特許文献3の態様では、以下の問題がある。まず、駆動回路が正常または異常(故障または不良)であることを調べることはできるが、回路が所望の特性を有するかについてまで正確に判定するのは困難である。また、過渡応答等の特性調査も困難である。また、容量を用いた回路構成の場合には、直流電流等に対する特性の調査が一般的に困難である。

#### 【0007】

##### 【特許文献1】

特開2002-108243号公報(第9頁、第2図)

##### 【特許文献2】

特開2002-297053号公報(第3頁、第1図)

##### 【特許文献3】

特開2002-32035号公報(第5～6頁、第1図)

【0008】

## 【発明が解決しようとする課題】

上記に説明したように、従来の方法では、実際に使用される表示状態に即した電流特性や電圧特性を評価することが困難である。

【0009】

## 【課題を解決するための手段】

本発明は、上記実情に鑑みて為されたもので、実際の表示状態に即した欠陥検査を容易に行うことができる表示装置を提供することを目的とする。具体的には、基板と、該基板上に設けられる各画素を構成する表示素子のための電極と、該電極と電流源配線 ( $I_s(m)$ ) とにそれぞれ接続され、該表示素子のオン状態またはオフ状態をそのゲートに加えられる電圧で規定している第1のトランジスタ ( $Q_2$ ) と、該第1のトランジスタ ( $Q_2$ ) のゲートと前記表示素子にデータ保持用信号配線 ( $Data(m)$ ) とにそれぞれ接続され、該第1のトランジスタのオン状態またはオフ状態を、該電圧信号配線に接続されたそのゲートに加えられる電圧で規定している第2のトランジスタ ( $Q_1$ ) と、前記第1電流源配線と前記第1のトランジスタのゲートとにそれぞれ接続され、前記第2のトランジスタがオン状態の間に、前記第2のトランジスタを介して供給される前記電圧信号を保持するための保持容量 ( $C_1$ ) と、前記電極と、前記表示素子に隣接する別の表示素子用のゲート信号配線 ( $Gate(n-1)$ ) とに接続され、また、前記表示素子に隣接する表示素子用の電流源配線 ( $I_s(m+1)$ ) の電位を変更してそのゲートをオン状態またはオフ状態にすることにより、前記第2のトランジスタから前記電極に流れる電流を、該別の表示素子用のゲート信号配線 ( $Gate(n-1)$ ) へと導く第3のトランジスタ ( $Q_t$ ) とを少なくとも含んでなるアクティブマトリクス型の表示装置を提供する。

ここで、前記表示素子が、有機EL素子または液晶素子である態様や、前記第3のトランジスタのゲートが、別途設けた配線 ( $Gate(Common)$ ) に接続されている態様や、前記第3のトランジスタのドレインがさらに別途設けた配線 ( $Drain(n)$ ) に接続されている態様や、前記第3のトランジスタがp型のものである態様や、前記第3のトランジスタからの配線が、2つ以上の前

記表示素子を表示装置が稼動状態にあるときに同時に制御する周辺回路に接続されており、前記第3のトランジスタが該周辺回路を介して順次切り換えられる態様であることが好ましい。

#### 【0010】

また、本発明は、上記のいずれかの表示装置の検査方法についても提供する。具体的には、上記のいずれかのアクティブマトリクス型の表示装置の各表示素子を検査する方法であって、前記第2のトランジスタ (Q1) のゲート電圧を制御して前記保持容量 (C1) へと電荷を貯めるステップと、検査対象の表示素子とは異なる表示素子用の第1の配線の電位を変えて、前記第3のトランジスタ (Qt) のゲートを制御するステップと、検査対象の表示素子用の電流源配線に接続されている測定器を用いて、前記第3のトランジスタ (Qt) を介して前記電極から流れる電流または電荷量を測定するステップとを含んでなる表示装置の検査方法を提供する。

#### 【0011】

また、本発明は、実際の表示状態に即した欠陥検査を容易に行うことができる第2の表示装置についても提供する。具体的には、基板と、該基板上に設けられる各画素を構成する表示素子のための電極と、該電極と電流源配線 (Is (m)) とにそれぞれ接続され、該表示素子のオン状態またはオフ状態をそのゲートに加えられる電圧で規定している第1のトランジスタ (Q2) と、該第1のトランジスタ (Q2) のゲートと前記表示素子にデータ保持用信号配線 (Data (m)) とにそれぞれ接続され、該第1のトランジスタのオン状態またはオフ状態を、該電圧信号配線に接続されたそのゲートに加えられる電圧で規定している第2のトランジスタ (Q1) と、前記第1電流源配線と前記第1のトランジスタのゲートとにそれぞれ接続され、前記第2のトランジスタがオン状態の間に、前記第2のトランジスタを介して供給される前記電圧信号を保持するための保持容量 (C1) と、前記電極と前記表示素子に隣接する表示素子用の配線 (Gate (n-1)) とに接続されたダイオード (Dt) とを含んでなる表示装置を提供する。

ここで、前記表示素子が、有機EL素子または液晶素子である態様や、前記ダ

イオードが、別途設けられている新たな配線 (D r a i n (n)) に接続されている態様であることが好ましい。

#### 【0012】

また、本発明は、上記の第2のいずれかの表示装置の検査方法についても提供する。具体的には、上記の第2のいずれかのアクティブマトリクス型の表示装置の各画素を検査する方法であって、前記第2のトランジスタ (Q1) のゲートを制御して前記保持容量 (C1) へと電荷を貯めるステップと、検査対象の表示素子に隣接する表示素子用の第1配線の電位を変えて、該検査対象の表示素子に隣接する表示素子用の第2配線に接続されている測定器を用いて、前記ダイオード (D t) を介して前記電極から流れる電流または電荷量を測定するステップとを含んでなる表示装置の検査方法を提供する。

#### 【0013】

さらに、本発明は、実際の表示状態に即した欠陥検査を容易に行うことができる第3の表示装置も提供する。具体的には、アクティブマトリクス型の表示装置であって、該表示装置を構成する画素のそれぞれが、前記画素の表示素子へと接続される電極と、該電極と前記画素用の第1の配線 (I s) とにそれぞれ接続される第1のトランジスタ (Q2) と、該第1のトランジスタのゲートとデータ保持用の電圧信号を与えるための配線 (D a t a) とにそれぞれ接続される第2のトランジスタ (Q1) と、前記第1のトランジスタのゲートと前記画素用の第2の配線 (C o m m o n) とにそれぞれ接続される保持容量 (C1) と、前記第2のトランジスタから前記電極に流れる電流によって電荷の蓄積を受けるように、前記電極と前記第1のトランジスタのゲートとに接続される負荷容量 (C t) とを含んでなる表示装置を提供する。

ここで、前記表示素子が、有機EL素子または液晶素子である態様であることが好ましい。

#### 【0014】

また、本発明は、上記の第3のいずれかの表示装置の検査方法も提供する。具体的には、上記の第3のいずれかのアクティブマトリクス型の表示装置の各画素を検査する方法であって、第1の電圧 (V2) を前記保持容量 (C1) に供給す

るステップと、該第1の電圧とは異なる第2の電圧 ( $V_1$ ) を、前記第1のトランジスタ ( $Q_2$ ) を介して前記負荷容量 ( $C_{fb}$ ) に供給するステップと、前記第1のトランジスタの閾値電圧 ( $V_{th}$ ) によって前記第1のトランジスタがオフになるまで、前記第2の電圧 ( $V_1$ ) を減少させるステップと、前記第2のトランジスタをオンにして、データ保持用信号配線 ( $Data(m)$ ) に接続された電荷測定器を用いて、前記保持容量 ( $C_1$ ) に蓄えられた電荷量を測定するステップと、該測定された電荷量と、前記第1の電圧を供給したときの電荷量との差を各画素において求めるステップと、前記差が所定の範囲内にあるかを判断するステップとを含んでなる表示装置の検査方法を提供する。

ここで、前記第1の電圧 ( $V_2$ ) を前記保持容量 ( $C_1$ ) に供給するステップの前に、前記保持容量に蓄えられている電荷量を予めリセットしておくステップをさらに含む態様であることが好ましい。

#### 【0015】

さらにまた、本発明は、実際の表示状態に即した欠陥検査を容易に行うことができる第4の表示装置についても提供する。具体的には、基板と、該基板上に設けられる各画素を構成する表示素子のための電極と、該電極と電流源配線 ( $I_s$ ) とにそれぞれ接続される第1のトランジスタ ( $Q_2$ ) と、該第1のトランジスタ ( $Q_2$ ) のゲートとデータ保持用信号配線 ( $Data$ ) とにそれぞれ接続され、そのゲートに電圧信号配線 ( $Gate(n)$ ) が接続されている第2のトランジスタ ( $Q_1$ ) と、前記第1のトランジスタ ( $Q_2$ ) のゲートと電流源用配線 ( $I_s$ ) とにそれぞれ接続される保持容量 ( $C_1$ ) と、前記第1のトランジスタ ( $Q_2$ ) がオンのときに流れる電流によって電荷の蓄積を受けるように、前記電極と隣接する表示素子の第2のトランジスタ ( $Q_1$ ) のゲートに接続されている配線 ( $Gate(n-1)$ ) とに接続される負荷容量 ( $C_t$ ) とを含んでなるアクティブマトリクス型の表示装置を提供する。

また、基板と、該基板上に設けられる各画素を構成する表示素子のための電極と、該電極と電流源配線 ( $I_s$ ) とにそれぞれ接続される第1のトランジスタ ( $Q_2$ ) と、該第1のトランジスタ ( $Q_2$ ) のゲートとデータ保持用信号配線 ( $Data$ ) とにそれぞれ接続され、そのゲートに電圧信号配線 ( $Gate(n)$ )

が接続されている第2のトランジスタ (Q1) と、前記第1のトランジスタ (Q2) のゲートと電流源用配線 (Is) とにそれぞれ接続される保持容量 (C1) と、前記第1のトランジスタ (Q2) がオンのときに流れる電流によって電荷の蓄積を受けるように、前記電極と同じ表示素子の第2のトランジスタ (Q1) のゲートに接続されている配線 (Gate (n)) とに接続される負荷容量 (Ct) とを含んでなるアクティブマトリクス型の表示装置も提供する。

ここで、前記表示素子が、有機EL素子または液晶素子である態様や、前記表示素子の前記第3の配線が、検査対象である表示素子それ自体のためのものである態様や、前記表示素子の前記第3の配線が、検査対象である表示素子に隣接するいずれかの表示素子のためのものである態様であることが好ましい。

#### 【0016】

また、本発明は、上記の第4のいずれかの表示装置についての検査方法も提供する。具体的には、上記第4のいずれかのアクティブマトリクス型の表示装置の各表示素子を検査する方法であって、前記第2のトランジスタ (Q1) のゲートを制御して前記保持容量へと電荷を貯めるステップと、検査対象の表示素子とは異なる表示素子用の第1の配線の電位を変えて、該検査対象の表示素子とは異なる表示素子用の第2の配線に接続されている測定器を用いて、前記電極から流れる電流または電荷量を測定するステップとを含んでなる表示装置の検査方法を提供する。

#### 【0017】

上記表示装置において使用されるトランジスタとしては、特に制限がない場合には、p型またはn型のどちらのものを用いてもよい。

また、本発明は、各画素に対応する表示素子のための電極と駆動装置がある基板上に形成された表示装置を一般にテストするためのものであり、現在有力である透明電極を用いて基板側から視認するタイプの表示装置に限定されるものではなく、電極や駆動装置を設けた基板の上に置かれる発光物質や対向電極の側から視認する表示装置をも対象とするものである。したがって、基板に置かれる電極は透明電極に限定されるものではない。

#### 【0018】

また、上記の表示装置は、自己発光する有機ELの開口面積をなるべく広く取れるようにすること、すなわち、電極の面積をより大きくすることが好ましいので、評価用に各画素に対応して組み込まれる素子は、できるだけ小さい面積となるものを選択することが好ましい。なお、各画素に対応する表示素子のグループを分割して計測して電流・電圧測定の分解能を向上するように、各表示素子に対して分離した配線がなされていることが好ましい。

#### 【0019】

本明細書では、陰極と陽極との間に設けられる全ての層を総称してEL層とよんでいる。そのため、ここでのEL層は、正孔注入層と、正孔輸送層と、発光層と、電子輸送層と、電子注入層とを含みうる。また、本明細書では、陽極とEL層と陰極とにより形成される発光素子をEL素子とよんでいる。なお、本明細書中において、EL素子とは、一重項励起子からの発光（蛍光）を利用するものと、三重項励起子からの発光（燐光）を利用するものの両方を含みうる。

#### 【0020】

##### 【発明の実施の形態】

まず、本発明のいくつかの実施態様について、図1を用いて説明する。図1は、画素周辺部において、ELや液晶（LCD）等の素子を発光または駆動するために電極に接続されるいくつかの負荷素子の種類およびその接続を示している。ここでは、ITO電極といわれる、インジウムとスズの酸化物をガラスなどの基板上に蒸着して形成した透明電極を採用した場合を例に示しているため、この基板上の電極をさして「ITO」と、特に図中では略称する。しかし、本発明は、ITO電極などの透明電極に限定されるものではなく、基板上に電極とトランジスタなどの駆動回路とを形成して製造する表示装置一般に適用可能なものである。また、負荷素子としては、図1A～図1Cではトランジスタ（ $Q_t$ ）を用いた態様を、図1Dおよび図1Eはダイオード（ $D_t$ ）を用いた態様を、図1Fは容量（ $C_t$ ）を用いた態様をそれぞれ示している。なお、図1Aから図1Fにおいて破線で囲まれた部分は、アクティブマトリクス型の表示装置を構成する1画素の駆動回路を示すものである。なお、以降の図3～図7と図10および図11とにおいても、破線で囲まれた部分が、アクティブマトリクス型の表示装置を構成

する 1 画素の駆動回路を同様に示すものである。

#### 【0021】

次に、図 1 A を参照して、本発明の駆動回路の負荷素子としてトランジスタ ( $Q_t$ ) を用いた場合の基本的な表示装置の回路構成について説明する。図 1 A では、アクティブマトリクス型の表示装置を構成する画素の駆動回路は、EL 素子等へと接続され、通常、導電性を有する透明な ITO からなる電極と、該電極と配線 ( $I_s(m)$ ) とにそれぞれ接続され、EL 素子等のオン状態やオフ状態を、そのゲートに加えられる電圧によって切り換えている第 1 のトランジスタ ( $Q_2$ ) と、第 1 のトランジスタ ( $Q_2$ ) のゲートとデータ保持用の電圧信号を与えるための配線 ( $Data(m)$ ) とにそれぞれ接続され、第 1 のトランジスタ ( $Q_2$ ) のオン状態またはオフ状態を、そのゲートに加えられる電圧により切り換えている第 2 のトランジスタ ( $Q_1$ ) と、電流用配線 ( $I_s(m)$ ) と第 1 のトランジスタ ( $Q_2$ ) のゲートとにそれぞれ接続され、第 2 のトランジスタ ( $Q_1$ ) がオン状態の間に、第 2 のトランジスタ ( $Q_1$ ) を介して供給されるデータ用の電圧信号を保持する保持容量 ( $C_1$ ) と、電極と注目する画素とは別の画素用の配線 ( $Gate(n-1)$ ) とに接続され、該別の画素用の配線 ( $Gate(n-1)$ ) の電位を変更してそのゲートをオン状態またはオフ状態にすることにより、前記第 2 のトランジスタ ( $Q_1$ ) から前記電極に流れる電流を、該別の画素用の配線へと導く第 3 のトランジスタ ( $Q_t$ ) とを含んでなる。また、画素の周辺部は、周辺回路 20、30 へと接続されるパッド 10、12 や、各画素への電源をオンまたはオフするためのスイッチ 14 等が配置されている。このような周辺回路 20、30 等を含めた図 1 A のより詳細な回路を図 2 に示す。

#### 【0022】

ここで、上記の本発明の回路は、負荷素子として上記の第 3 のトランジスタ  $Q_t$  を追加している点で従来の回路と異なるものである。また、後述するように、本発明では、このトランジスタ  $Q_t$  の部分を、ダイオード  $D_t$  や容量  $C_t$  に変更した場合においてもさらに適用することができる。

#### 【0023】

次に、図 2 を用いて、この図 1 A のトランジスタを用いた回路の動作を説明す

る。ここで、図2の破線で囲まれた部分は、図1Aの破線で囲まれた部分に相当するものである。まず、トランジスタ(Q2)のゲート電圧を制御して電極(ITO電極)への電流量を制御する。これは、Data(m)に所望の電圧を出しておき、Gate(n)で制御してQ1を一旦オンにしてからオフにして、データ保持用の容量C1に電荷を蓄えている。次にこの状態が変更されるまでは、容量C1の電圧が保持される。従って、この状態では電極を介してEL素子等(図示せず)に電力が供給されることになる。そして、EL素子において電子および正孔の再結合が起こり、ELが駆動または発光し続けることになる。

次に、注目している画素の隣の電源供給線Is(m+1)によりトランジスタ(Qt)のゲートを制御して、注目している画素の隣のゲート線Gate(n+1)にトランジスタ(Qt)のドレインを接続する。そして、このIs(m)線に接続されている電流計(図示せず)を用いて、電極に流れる電流(つまり、EL素子に流れる電流)を測定する。

#### 【0024】

この図1Aまたは図2に示す実施態様の場合には、トランジスタQtがp型のものであることが好ましい。これは、実際にEL素子を発光(または駆動)する場合に、トランジスタQ2からEL発光用に供給された電流がトランジスタQtを介して流れ出してしまうという不具合を回避するために、トランジスタQtのゲート電圧およびソース電圧がゼロの場合にこのトランジスタQtを流れる電流がオフになることが好ましいからである。ここで、トランジスタQ1およびQ2にもp型のものを用いると、トランジスタQtも含めて全てがp型のもので構成できる。

#### 【0025】

ここで、トランジスタQ2にn型のものを用いると電極の電圧を設定するという駆動回路になり、トランジスタQ2にp型のものを用いると電極(ITO)の電流を設定するという駆動回路になる。なお、いずれの場合においても動作原理は同じである。

#### 【0026】

次に、図3を参照して、上記の第1の実施態様を改良した本発明の第2の実施

態様を説明する。上記の第1の実施態様では、トランジスタ  $Q_t$  を隣の電源供給線 ( $I_s(m+1)$ ) で制御していたが、この第2の実施態様では、新たな電源供給線である  $L\_gate$  線 (図1Bの  $Gate(Common)$  に対応) を設けてトランジスタ  $Q_t$  を制御している。また、この新たな電源供給線である  $L\_gate$  線に対しても、上記の場合と同様に周辺回路から電圧制御等を行うことができる。従って、上記の第1の実施態様でのトランジスタ  $Q_t$  に対する制限が解消され、例えば、トランジスタ  $Q_t$  に  $n$  型のものを使用することも可能となる。

#### 【0027】

さらに、図4を参照して、本発明の第3の実施態様を説明する。第3の実施態様は、上記の第2の実施態様に加えて、新たな配線として  $Drain(n)$  線をさらに設けており、この新たな配線  $Drain(n)$  にトランジスタ  $Q_t$  の出力を接続している。そして、この新たな配線  $Drain(n)$  に電流計 (図示せず) を接続することにより、上記の第1および第2の実施態様と同様に、電極に流れる電流を測定することができる。

この場合には、電極に流れる電流の測定のために隣のゲート線である  $Gate(n-1)$  や  $Gate(n+1)$  等を使用する必要がない。このため、電流測定時の制限が解消され、測定の自由度が増加するというメリットがある。

#### 【0028】

ここまではトランジスタ  $Q_t$  を用いた駆動回路とこれを用いた回路の検査方法を説明してきたが、次に、図5を参照して、上記のトランジスタ  $Q_t$  の代わりにダイオードを用いた本発明の第4の実施態様を説明する。この第4の実施態様では、図2に示す第1の実施態様のトランジスタ  $Q_t$  をダイオード  $D_t$  で置換したのとはほぼ同じ構成となっている。また、3端子素子のトランジスタ  $Q_t$  の場合と比較すると、ダイオードは2端子素子でありゲート制御用の配線等がいらないので、回路構成が多少簡単である。

#### 【0029】

次に、この第4の実施態様の回路の動作について説明する。まず、トランジスタ  $Q_2$  のゲート電圧を制御して電極への電流量を制御する。このことは、上記に

説明したように、Data (m) に所望の電圧を出しておき、Gate (n) を制御してトランジスタ Q1 を一旦オンにしてからオフにすることで、データ信号用の保持容量 C1 に電荷を蓄えることができる。そして、この状態が変更されるまでは、保持容量 C1 に所定の電圧が保持されているので電極を介して接続されている EL 素子が駆動または発光し続けることになる。

### 【0030】

上記の第1の実施態様と同様に、トランジスタ Q2 に n 型のものを用いた場合には電極の電圧を設定するという駆動回路になり、トランジスタ Q2 に p 型のものを用いた場合には電極の電流を設定するという駆動回路になる。いずれの場合でも動作原理としては同じである。

### 【0031】

ここで、ダイオード D t は、陽極が電極に接続され、陰極が隣のゲートに接続されている。ダイオードが実際の使用時にオンにならない（つまり電流を流さない）ようにするためには、トランジスタ Q1 として p 型のものを使用すればよい。つまり、トランジスタ Q1 のゲートがオフされても、ダイオード D t がオンにならないような条件を満たせばよい。しかし、この場合には回路構成上の制限が存在する。

### 【0032】

そのため、図6を参照して、上記の回路構成上の制限を解消した本発明の第5の実施態様を説明する。この第5の実施態様は、上記第4の実施態様に対して、新たな電圧供給線である V d (n) を追加している。そして、この新たな電圧供給線である V d (n) にダイオード D t の陰極を接続させている。この場合には、新たな配線を必要とするものの、上記のトランジスタ Q1 の種類についての制限が解消するというメリットを有する。

なお、画素駆動回路の検査をする場合には、この電圧供給線 V d (n) に接続された電流計（図示せず）を用いて駆動回路の評価を行い、実際に使用する場合には、この電圧供給線 V d (n) を高い電位に維持することによって、電極（ITO）に供給される電流がこのダイオード D t を介して流れ出さないようにする。

## 【0033】

ここで、データ信号線である Data (m) の電圧の設定については、例えば、保持容量 C1 に  $1\mu\text{A}$  を保持させたい場合には Data (m) の電圧を 1V とすればよいと予想されるような場合においては、そのように Data (m) の電圧を設定した場合に保持容量 C1 にどの程度の電流が保持されているかを電圧供給線 Vd (n) に接続された電流計を用いて検出して、製品の仕様を満たす電流値かどうかを判断することができる。

## 【0034】

次に、図7を参照して、負荷容量 Cfb を用いた本発明の第6の実施態様を説明する。この第6の実施態様では、電極に接続された容量 Cfb のもう一方をトランジスタ Q2 のゲートへとフィードバックするように接続している。また、データ信号を保持するための保持容量 C1 が、電源供給線とは別の新たな電源供給線 (Common) に接続されている。

## 【0035】

上記の第6の実施態様での回路の動作には、電圧駆動タイプと電流駆動タイプの2種類がある。以下にそれぞれの場合における動作原理について説明する。

## 【0036】

(電圧駆動タイプの動作説明)

図8を参照して電圧駆動タイプの動作を説明する。ここでは、Q1 および Q2 に n 型のトランジスタを用いている。まず、初期設定ルーチンとして容量 Cfb のリセットを行う。具体的には、電源供給線である V1 (図7の Is に対応) をゼロ電位にした状態で、トランジスタ Q2 のゲートをオンにして、容量 Cfb をリセットする。これは、容量 Cfb に当初から存在する電荷による悪影響を排除して、電荷の測定を高精度に行うためのものである。次に、トランジスタ Q1 のゲートをオンにして、データ信号線である Data (m) から所定の電圧を保持容量 C1 に与える。そして、トランジスタ Q2 をオンにして、データ設定用の電圧 V1 (図7の Is の電圧に対応) を保持容量 C1 に供給する。所定の時間にわたってこの状態を継続することにより、電極における電圧を示す V\_ITO と容量 Cfb における電圧とが飽和して一定の状態となる。この状態から、V1 の電

圧を徐々に下げていく。ここで、 $V_1$ と $V_{ITO}$ との電圧が等しくなるまでは、 $V_{ITO}$ の電圧は変動しない。しかし、 $V_1$ が $V_{ITO}$ よりも低い電圧になると、 $V_{ITO}$ は $V_1$ に追従して低下していく。その場合には、 $V_{ITO}$ の電圧低下に従って、容量 $C_{fb}$ が放電してその電圧が低下する。従って、データ保持用の容量 $C_1$ と $C_{fb}$ との間の点における電圧 $V_{st}$ は、この容量 $C_{fb}$ の電圧の低下に応じて下がることになる。

### 【0037】

ここで、トランジスタ $Q_2$ には閾値電圧 $V_{th}$ が存在するため、この閾値電圧 $V_{th}$ を越えて電荷が移動できないことに留意する。最終的には、 $V_{ITO}$ の電圧が最小となって定常状態に達する。そして、このときの $V_{st}$ の電圧の変化量である $\Delta V_{st}$ を求めることにより、この駆動回路の特性を判断することができる。具体的には、トランジスタ $Q_1$ のゲートを $Gate(n)$ でオンにして、データ線 $Data(m)$ に接続された電流計（図示せず）を用いて、この電圧 $V_{st}$ を測定して求めることができる。そして、最初にデータ信号電圧の保持容量 $C_1$ に保持させた電荷量と、 $\Delta V_{st}$ から求められた電荷量とを比較する。ここで、 $V_{ITO}$ の電圧の変化量を $\Delta V_{ITO}$ とすると、測定電荷量は、 $\Delta V_{st} = \Delta V_{ITO} \times (C_{fb} / (C_1 + C_{fb}))$ の関係を満たす。従って、各画素において、誤差が所定の範囲内にあるかどうかを判断して、各画素の駆動回路の動作を確認することができる。

### 【0038】

(電流駆動タイプの動作説明)

図9を参照して電流駆動タイプの動作について説明する。この場合には、トランジスタ $Q_1$ および $Q_2$ にはp型のものを用いている。ここでは、上記の電圧駆動タイプと異なり、容量 $C_{fb}$ のリセットは不要である。まず、電源供給線 $V_2$ （図7の $Common$ に対応）から電圧を保持容量 $C_1$ に加えて保持容量 $C_1$ に電荷を蓄える。トランジスタ $Q_2$ のソースに接続されている $V_1$ （図7の $I_s$ の電圧に対応）の電圧は、ゲートよりも最初は高く設定されており、トランジスタ $Q_2$ をオンにしている。そこから、電源供給線 $V_1(I_s)$ の電圧を下げていく。トランジスタ $Q_2$ がオフになるまでは電極（ $ITO$ 電極）の電圧である $V_I$

TOも追従して下がる。上述したように、この場合に保持容量C1から容量Cfbへと電流が流れ出す。電源供給線V1の電位がトランジスタQ2のゲート電位をオフにする電圧（閾値電圧Vth）を越えて下げられると、C1からの電荷の流出は生じなくなる。この状態でトランジスタQ1をオンにして、データ信号線（Data（m））に接続された電流計（図示せず）を用いて、保持容量C1に蓄えられた電荷量を測定する。そして、保持容量C1に供給した（または、書き込んだ）電荷量と、読み出された電荷量との差を各画素において求める。そして、この差が所定の範囲内であるか否かを判断することによって、画素の駆動回路の動作を確認することができる。

#### 【0039】

上記の第6の実施態様では、トランジスタQ2の閾値電圧であるVthの値を1回の測定で求めることができる。従って、従来の回路と比較して、測定のスループットが高いというメリットを有する。ここで、図15を参照すると特許文献2では、データ保持用の保持容量C1は別の線（Vsc）に接続されている。なお、この特許文献2では、図15に示すように、トランジスタTr2としてp型のトランジスタを使用していると思われるが、このTr2は単にスイッチとして機能するだけなので、結局、このトランジスタTr2のオン状態またはオフの状態、つまりトランジスタTr2が正常または異常であるかまでしか判断できないと思われる。従って、本発明のトランジスタQ2の閾値電圧Vthを求めるためには、特許文献2では、供給する電圧の値を変えて同様の測定を何回か繰り返す必要がある。なお、前記の特許文献3において、上記の容量に対応する容量が隣のゲート線に接続されているが、これをトランジスタ9106のゲート端子にフィードバックしても正常には動作しないことに留意されたい。

#### 【0040】

次に、本発明の第7の実施態様を説明する。第7の実施態様は、容量Ctを用いた駆動回路の過渡応答判定方法に関するものである。ここで使用される回路を図10および図11に示す。図10の回路構成は図1Fに対応し、図5のダイオードを用いた回路構成とほぼ同じである。また、図11は、図10と比べると、容量Ctの接続先がこの容量Ctが属する表示素子のゲート線であるGate（

n) に接続されている点において異なる。このように、電極に接続された容量  $C_t$  のもう一方の接続先としては、例えば、(1) その容量が属する表示素子以外の表示素子のゲート線や、(2) その容量が属する表示素子のゲート線であることが好ましい。その理由は、これらの線は、EL や LCD 等の駆動または制御のために画素近傍に必ず存在しており電圧変動を意図的に加えることができるものであるためである。しかしながら、電極に接続された容量  $C_t$  のもう一方の接続先はこれらの例に限らず、他の配線、例えば、画素電極等に接続することも可能である。

#### 【0041】

このような回路構成において、過渡応答が起こっている間に、 $I_s$  線に接続された電流計等を介して過渡応答電流や容量に蓄えられた電荷量等を測定することにより、各画素における電極 ( $I_{TO}$ ) の電圧  $V_{I_{TO}}$  の過渡応答を評価することができる。

#### 【0042】

(第7の実施態様の動作説明)

(1) 容量  $C_t$  をこの容量が属する表示素子以外の表示素子のゲート線に接続する場合

図12を参照して説明する。まず、自己のゲート線 ( $Gate(n)$ ) を制御して、データ信号線 ( $Data(m)$ ) から保持容量  $C_1$  に電荷を蓄えて、書き込みおよびデータ設定を行う。次に、隣のゲート線 ( $Gate(n+1)$ ) に電圧を供給して容量  $C_t$  に電荷を蓄えさせる。所定の時間が経過して定常状態となると、 $I_{TO}$  電極での電位はある一定値 ( $V_{dd}$ ) となる。そして、隣のゲート線 ( $Gate(n+1)$ ) の電圧をゼロにして過渡応答を生じさせる。この過渡応答が起こっている間に、電源供給線  $I_s$  (図10の  $I_s(m)$  に対応) に接続された電流計  $A_1$  を用いて、検査対象の画素における過渡応答電流 ( $I_{I_s}$ ) を測定する。これにより、各画素における画素駆動回路の電流駆動能力の評価することができる。なお、本実施態様では、図12に示すトランジスタ  $Q_1$  および  $Q_2$  として p 型のものを使用している。

(2) 容量  $C_t$  をこの容量が属する表示素子のゲート線に接続する場合

図13を参照して説明する。この場合は、自己の表示素子のゲート線 (Gate (n)) の電圧を変動させることにより、(1)と同様に過渡応答を発生させるものである。そして、この過渡応答が収まるまでに、電源供給線 Is (図11の Is (m) に対応) に接続された電流計を用いてこのときの過渡応答電流を測定する。ここで、自己のゲート線に容量 C t を接続する場合には、図13では、トランジスタ Q 1 に n 型のもの (Q 1\_n) を、トランジスタ Q 2 に p 型のもの (Q 2\_p) を使用しており、図14では、トランジスタ Q 1 および Q 2 に n 型のもの (Q 1\_n および Q 2\_n) を使用している。

ここでは、まず、図13の場合について説明する。最初に、自己のゲート線 (Gate (n)) の電圧をオンにして C t に電荷を蓄えておく。そして、所定の時間が経過して、電極 (ITO 電極) での電圧 (V\_I T O) が定常状態となつてから、自己のゲート線 (Gate (n)) の電圧をオフにする。そして、上記の場合と同様に、電源供給線 Is に接続された電流計を用いて容量 C t に蓄えられた電荷の過渡応答 (I\_I s) を測定することができる。

#### 【0043】

次に、図14を参照して、トランジスタ Q 1 および Q 2 に n 型のものを用いた場合を説明する。まず、自己のゲート線 (Gate (n)) の電圧をオンにして容量 C t に電荷を蓄える。所定の時間が経過して電極での電圧 (V\_I T O) が定常状態となつてから、自己のデータ信号線 (Data (m)) の電圧をオンにする。そして、所定の時間が経過してから、自己のゲート線 (Gate (n)) の電圧をオフにする。そして、上記に説明したように、電源供給線 Is に接続された電流計を用いて、容量 C t に蓄えられた電荷の過渡応答等 (I\_I s) を測定することができる。

#### 【0044】

なお、上記の実施対応においては、過渡応答電流の測定を通じて、電流駆動能力の評価まで行えるというメリットを有する。ここで、上記の動作は、特許文献2の回路では実行できないことに留意されたい。

#### 【0045】

実際には、駆動回路の評価する場合にはオンになるが、製品として使用される

場合にはオフになるもの好ましい。EL素子や液晶素子等を発光または駆動するだけの電力が電極に十分に供給できなくなるためである。また、新たな配線を追加するよりも、できれば、既に存在している配線に接続することが好ましい。配線数の増加を回避することができるためである。

#### 【0046】

上記に説明してきた各図には、オン／オフ切り換え用のスイッチが記載されているが、本発明では、このようなスイッチは必須な構成要素ではないことに留意されたい。それは、例えば、スイッチを設けるかわりに、配線を増加して各画素を分離することによっても、測定の分解能の向上や並列処理を図ることができるためである。同様に、周辺回路についても、本発明の評価には特に必須な要素ではないことに留意されたい。

#### 【0047】

なお、上記の実施例において、ITO (Indium Tin Oxide) は、有機EL駆動用の電極として使用されている。このITOは、可視光領域において透明な光学特性を有しており、バックライトを必要とする液晶ディスプレイ (LCD) においては透明性を有する電極として使用されるものである。しかしながら、有機ELは自ら発光するため、本発明で使用されるITOは、有機ELの画素駆動用の電極として使用されるものであり、特にこれにのみ限定されるものではない。例えば、ITOの代わりに導電性を有する金属等を用いることもできる。また、有機ELの陰極としてITOを用いることができることにも留意されたい。

#### 【0048】

##### 【発明の効果】

以上より、本発明によれば、有機ELの駆動回路の直流電流特性や過渡応答特性等の評価を特殊な装置を用いることなく行うことができる。このため、実際の使用状態に即した評価を高精度に安価に行うことができる。

##### 【図面の簡単な説明】

##### 【図1】

負荷素子として、A～Cは、トランジスタ (Qt) を用いた場合を、DおよびEは、ダイオード (Dt) を用いた場合を、Fは、容量 (Ct) を用いた場合を

それぞれ示す本発明のアクティブマトリクス型表示装置の概略図である。

【図 2】

図 1 A に対応する本発明の第 1 の実施態様であるアクティブマトリクス型表示装置の基板上の回路を示す回路図である。

【図 3】

図 1 B に対応する本発明の第 1 の実施態様であるアクティブマトリクス型表示装置の基板上の回路を示す回路図である。

【図 4】

図 1 C に対応する本発明の第 1 の実施態様であるアクティブマトリクス型表示装置の基板上の回路を示す回路図である。

【図 5】

図 1 D に対応する本発明の第 1 の実施態様であるアクティブマトリクス型表示装置の基板上の回路を示す回路図である。

【図 6】

図 1 E に対応する本発明の第 1 の実施態様であるアクティブマトリクス型表示装置の基板上の回路を示す回路図である。

【図 7】

新たなフィードバック容量 (C f b) を追加した本発明の第 6 の実施態様であるアクティブマトリクス型表示装置の回路図である。

【図 8】

A は、図 7 の第 6 の実施態様において、Q 1 および Q 2 に n 型のトランジスタを用いた場合の画素の駆動回路の概略図である。B は、電圧駆動タイプである A の回路の動作を説明するためのタイミングチャートである。

【図 9】

A は、図 7 の第 6 の実施態様において、Q 1 に n 型のトランジスタを用い、Q 2 に p 型のトランジスタを用いた場合の画素の駆動回路の概略図である。B は、電流駆動タイプである A の回路の動作を説明するためのタイミングチャートである。

【図 10】

図5の実施態様において、ダイオード $D_t$ を容量 $C_t$ に置換した図1Fに対応する本発明の実施態様を示す回路図である。

【図11】

図10の回路において、容量 $C_t$ を自己のゲート線である $Gate(n)$ に接続した本発明の実施態様を示す回路図である。

【図12】

Aは、図10の注目する画素の駆動回路を示す概略図である。Bは、Aの回路の動作を説明するためのタイミングチャートである。

【図13】

Aは、図11の注目する画素において、トランジスタ $Q_1$ にn型のものを使用してトランジスタ $Q_2$ にp型のものを使用する駆動回路を示す概略図である。Bは、Aの回路の動作を説明するためのタイミングチャートである。

【図14】

図11の注目する画素において、トランジスタ $Q_1$ および $Q_2$ にn型のものを使用する駆動回路を示す概略図である。Bは、Aの回路の動作を説明するためのタイミングチャートである。

【図15】

容量を用いた従来のアクティブマトリクス型表示装置での1画素当たりの等価回路を示す回路図である。

【図16】

容量を用いた従来のアクティブマトリクス型表示装置の画素部の回路構成を示す回路図である。

【符号の説明】

1、2、3、4、5、6、7、8 本発明のアクティブマトリクス型の表示装置

10、12、14 パッド

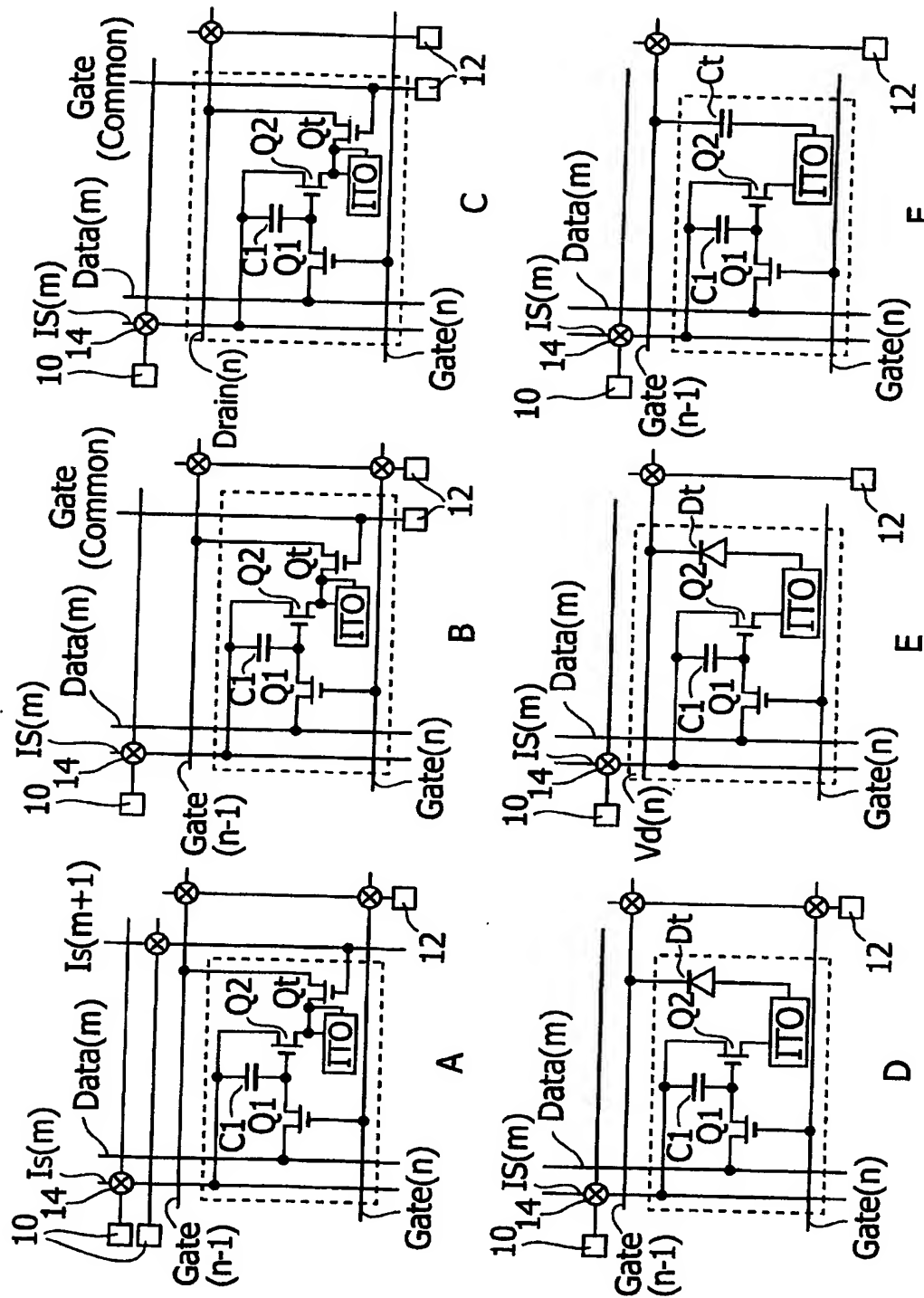
20、30 周辺回路

150、160 従来のアクティブマトリクス型の表示装置

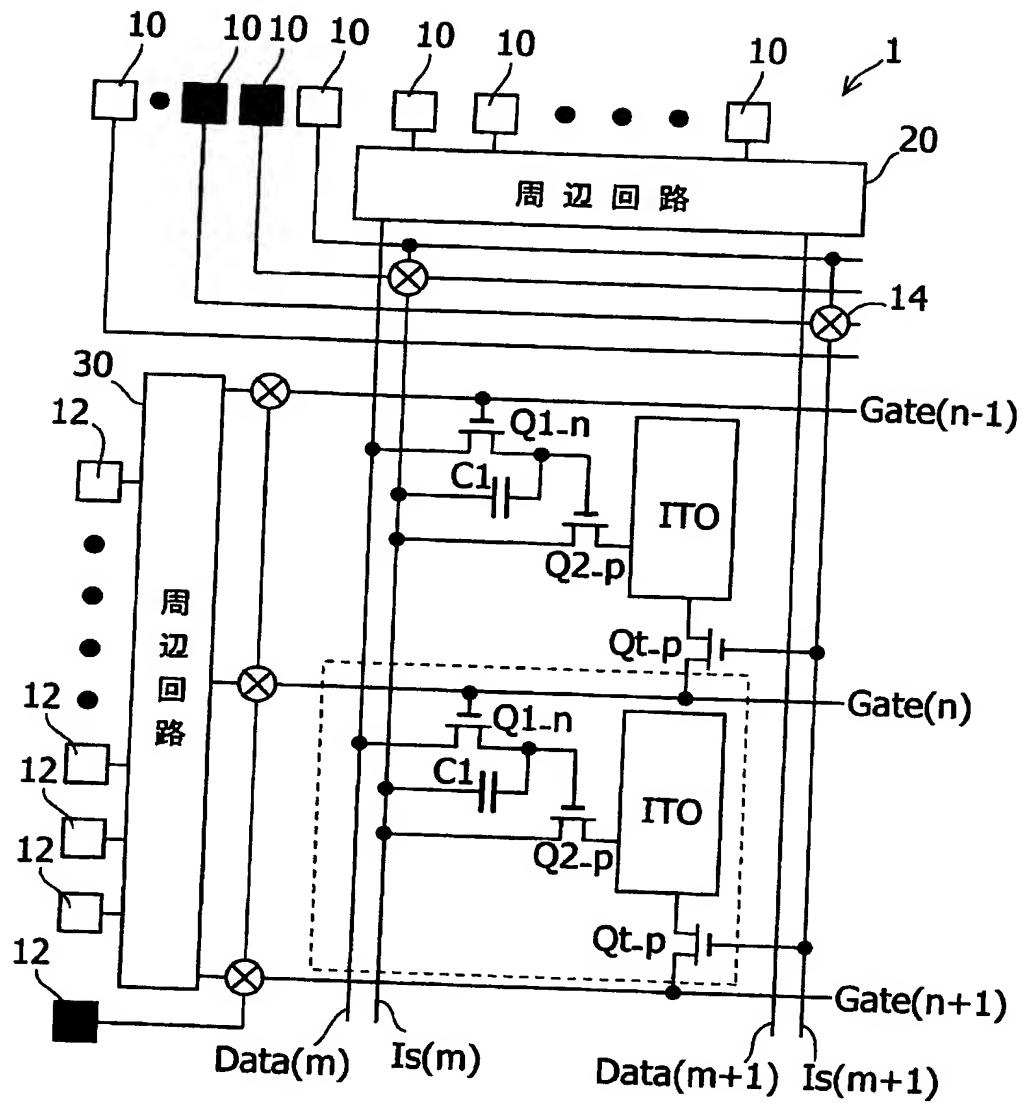
【書類名】

図面

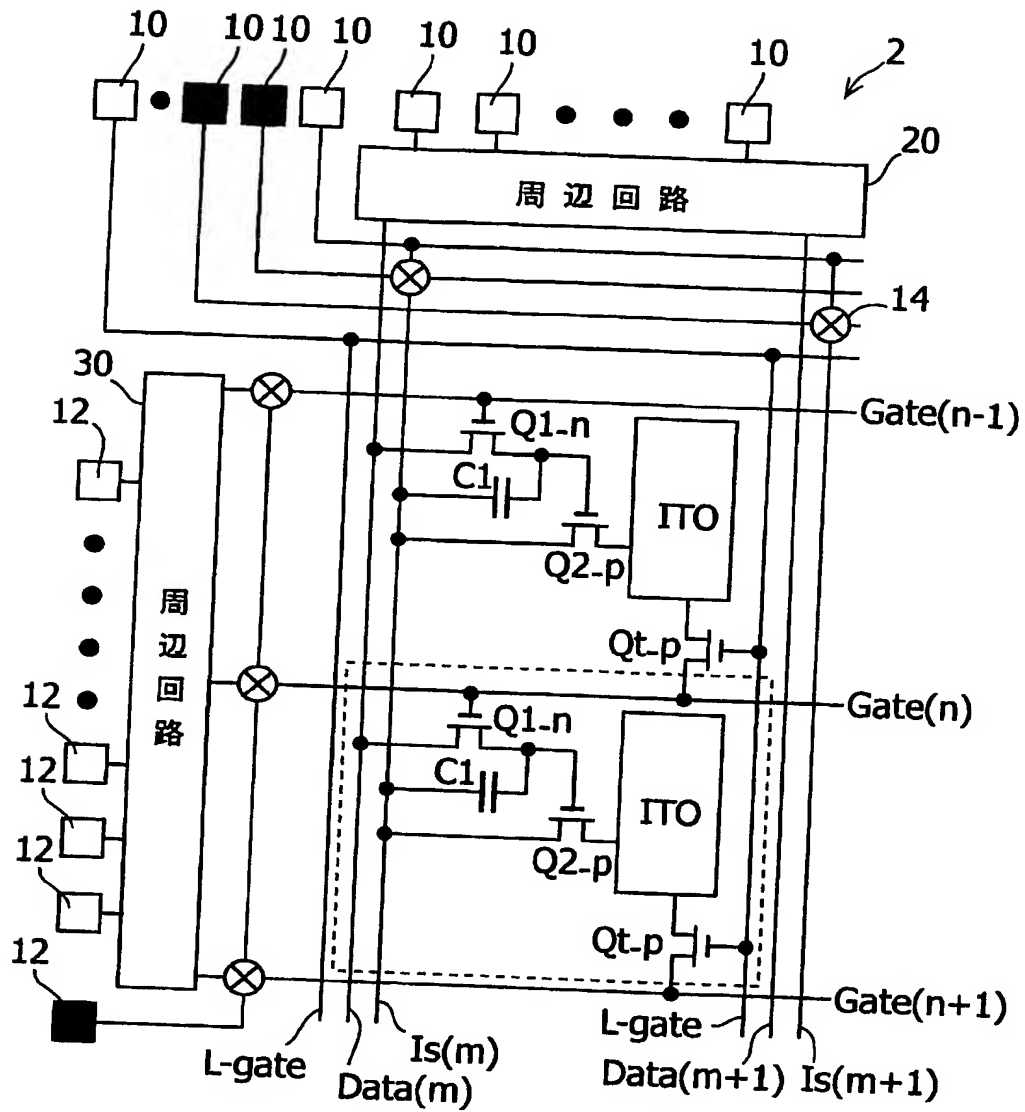
【図 1】



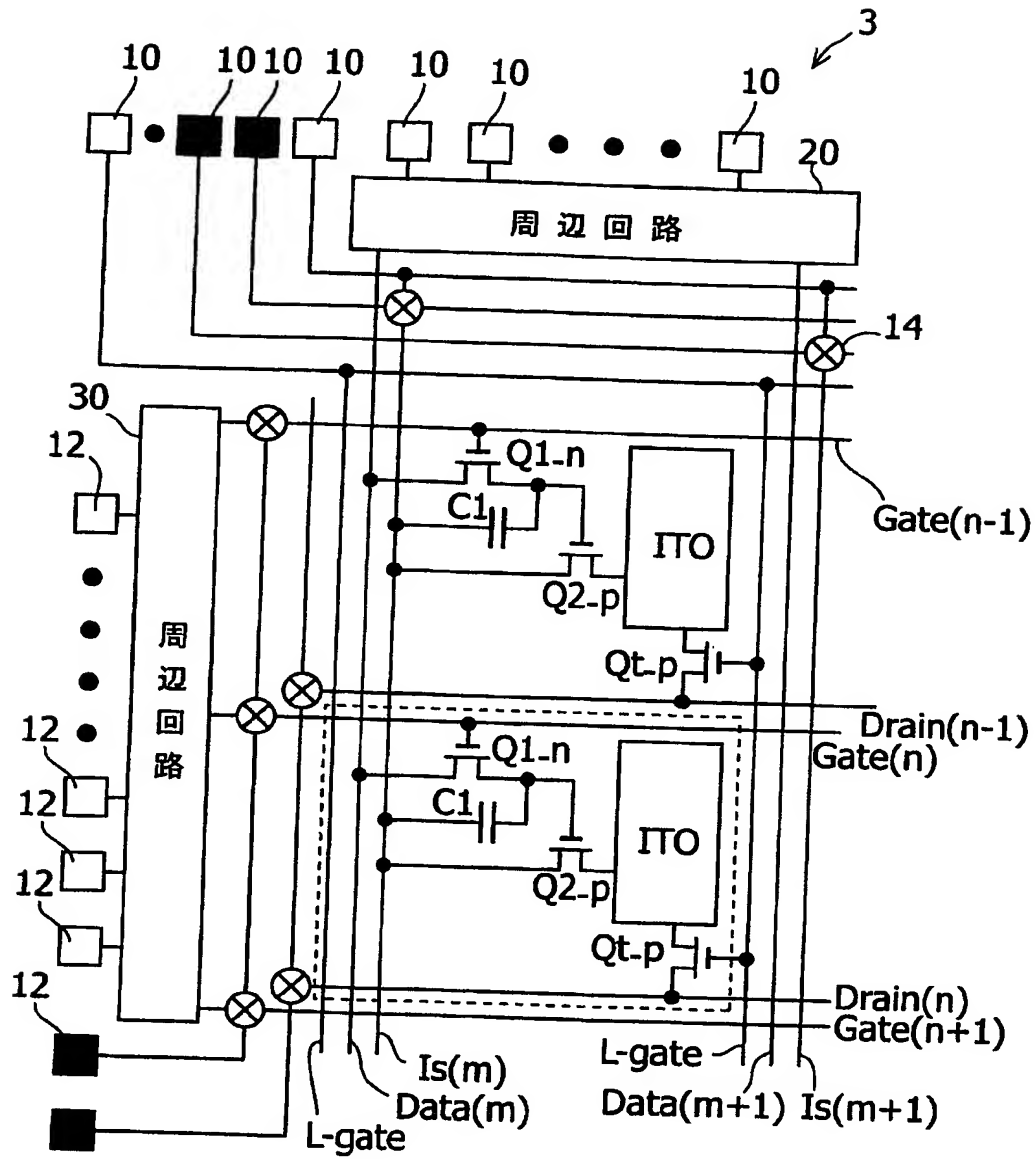
【図 2】



【図 3】

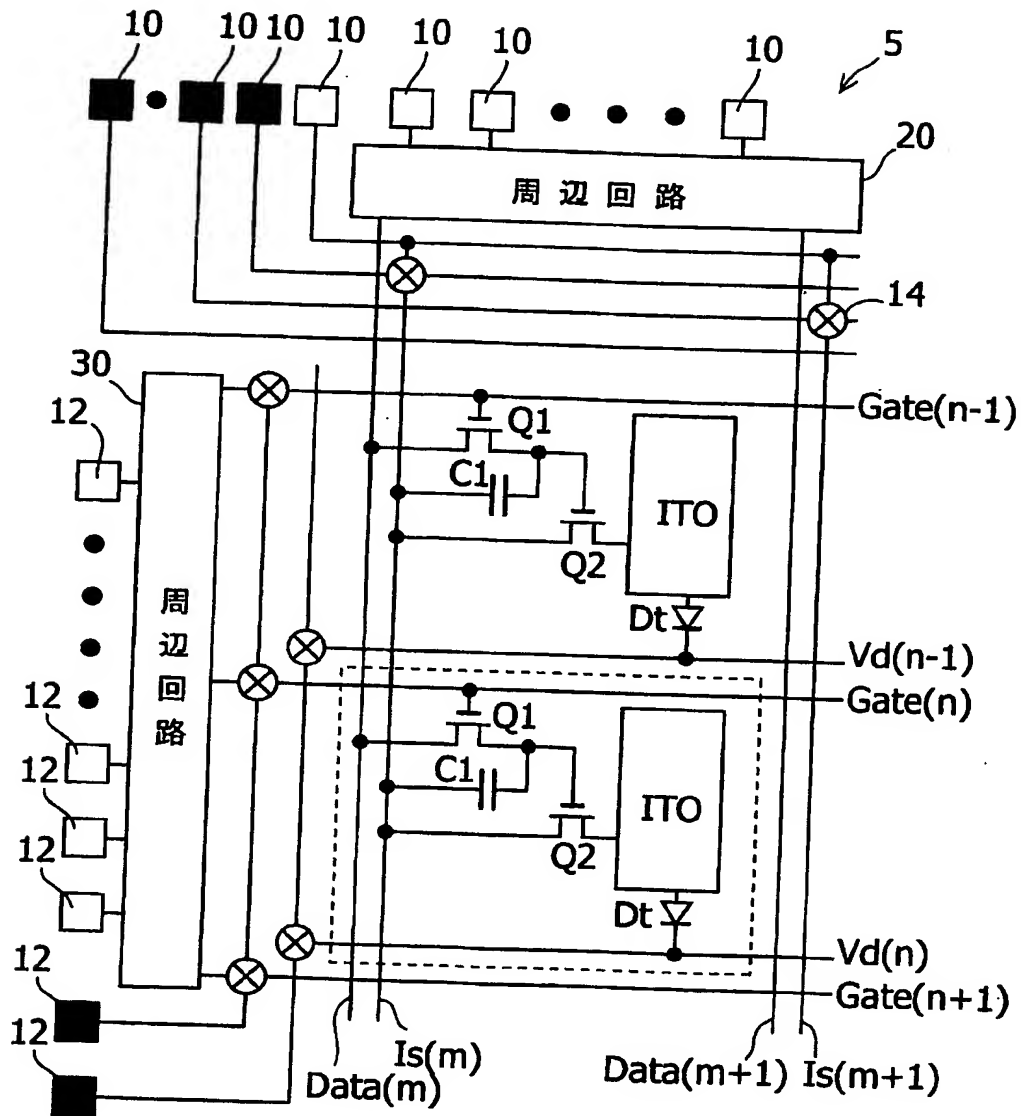


【図 4】

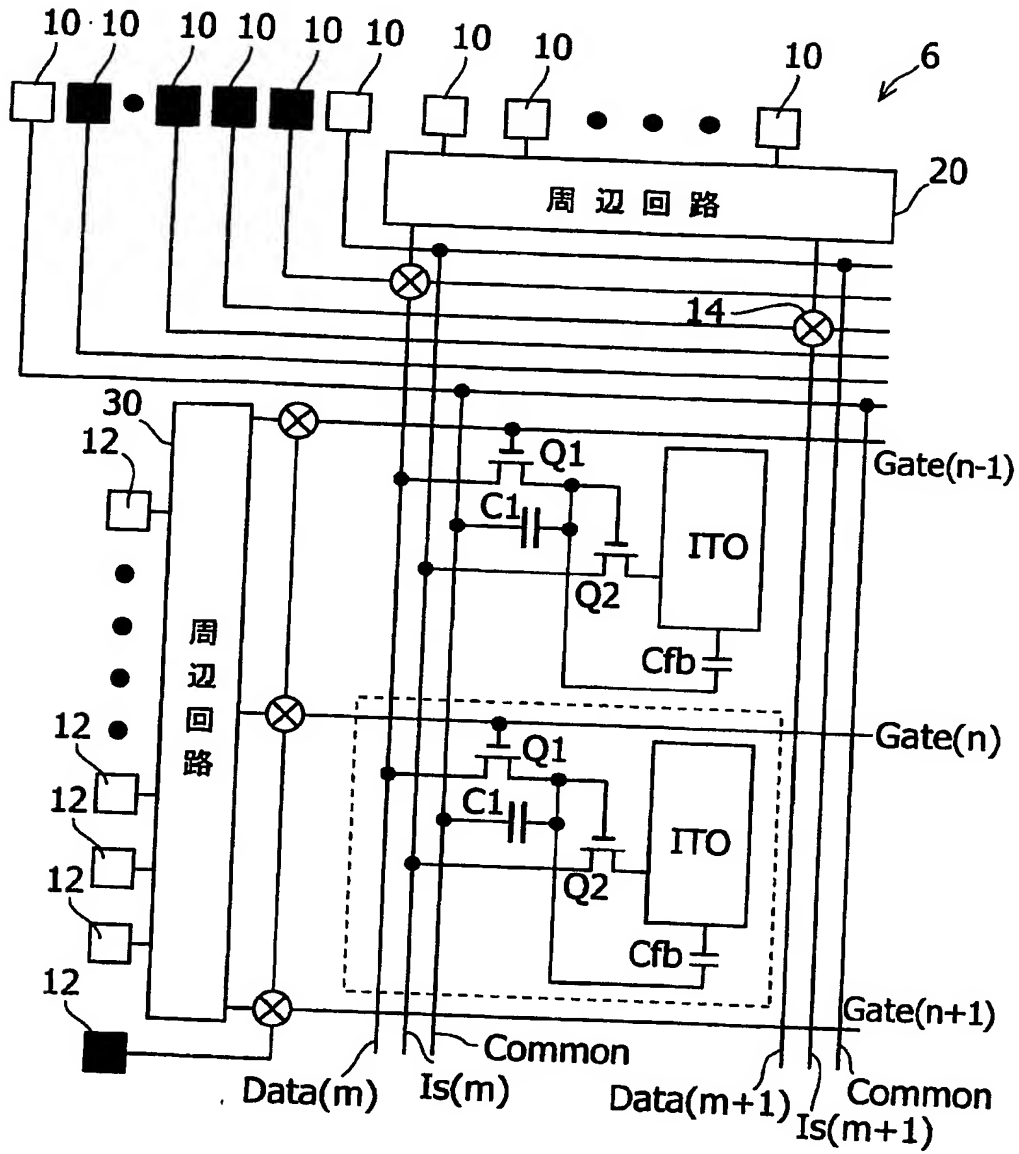


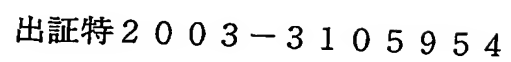


【図 6】

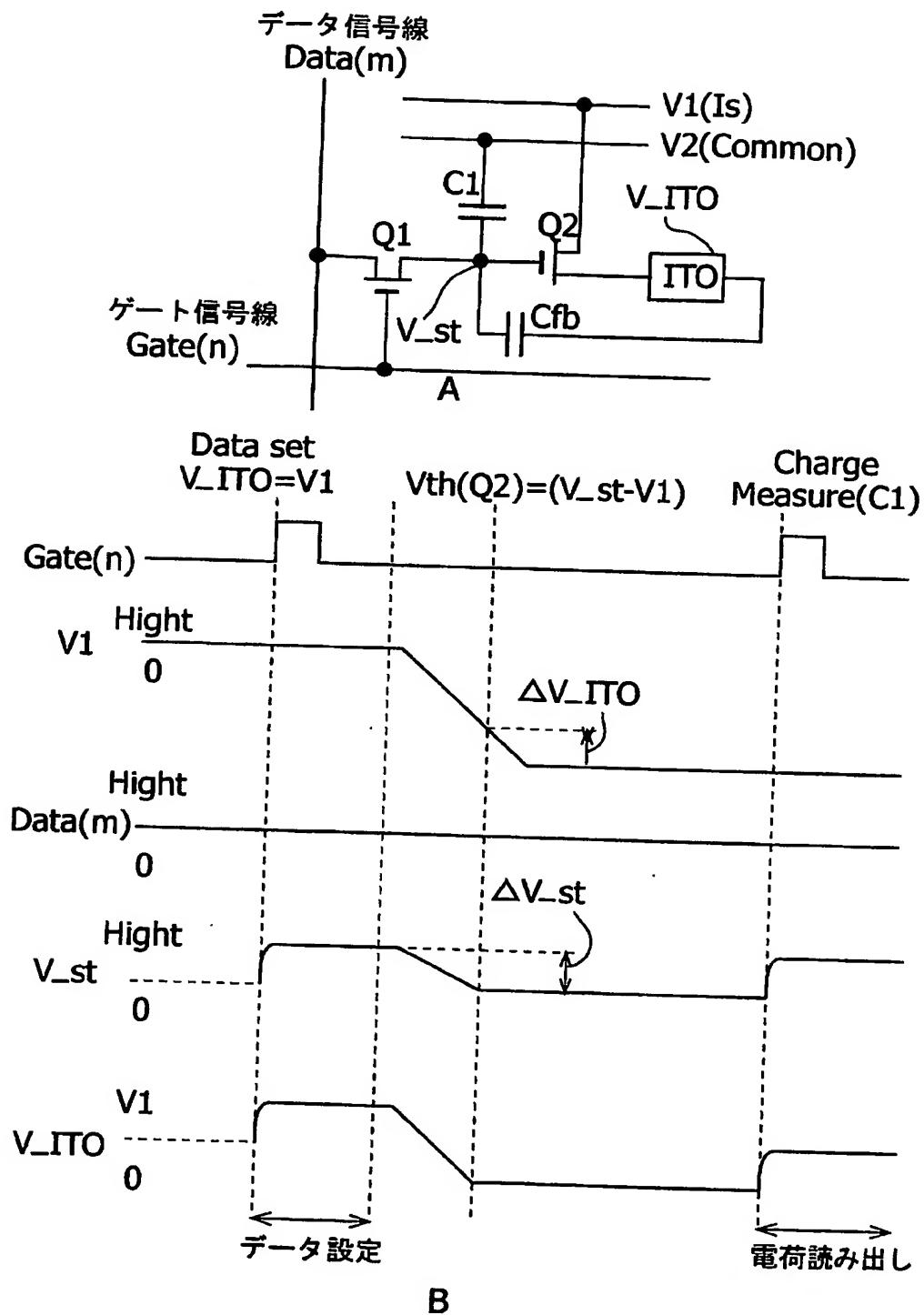


【図 7】

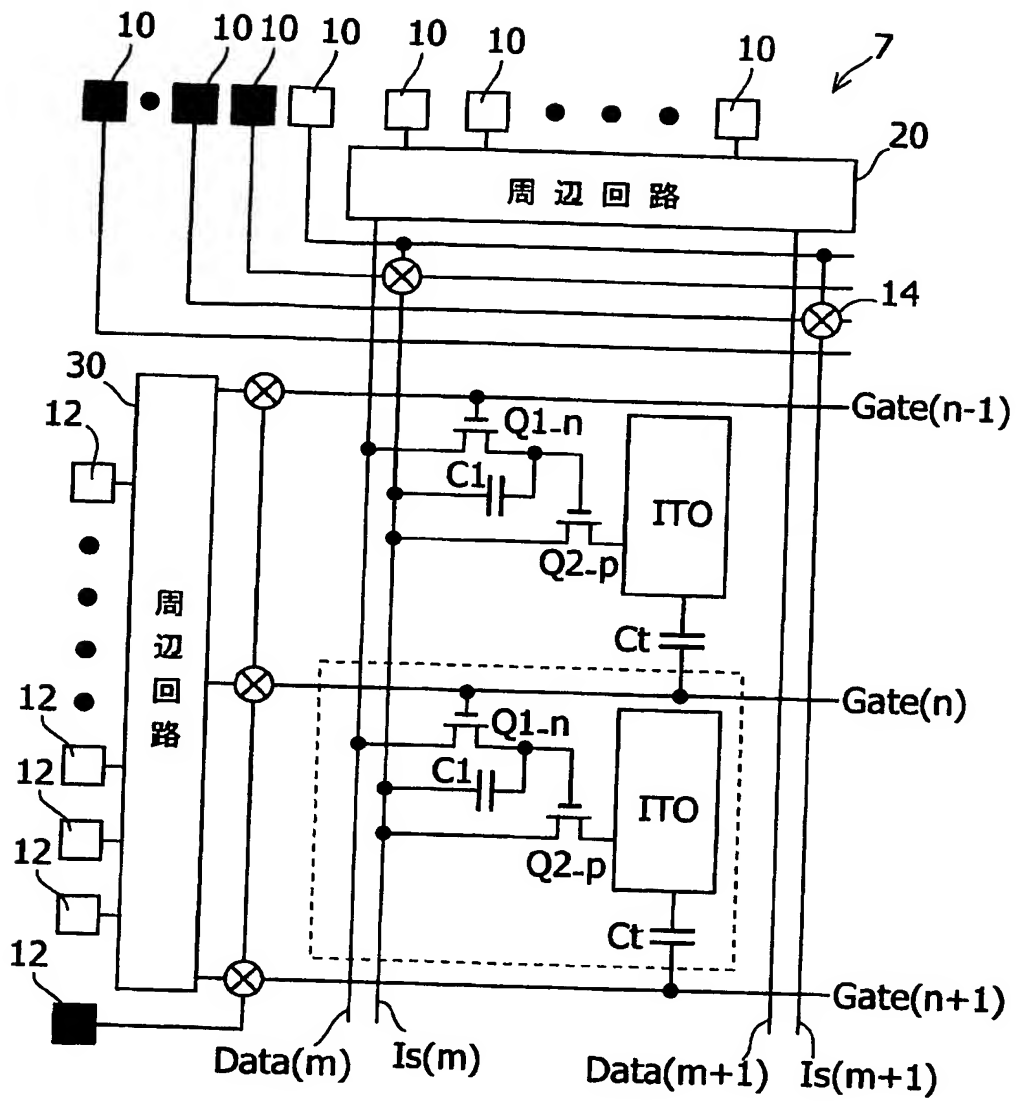




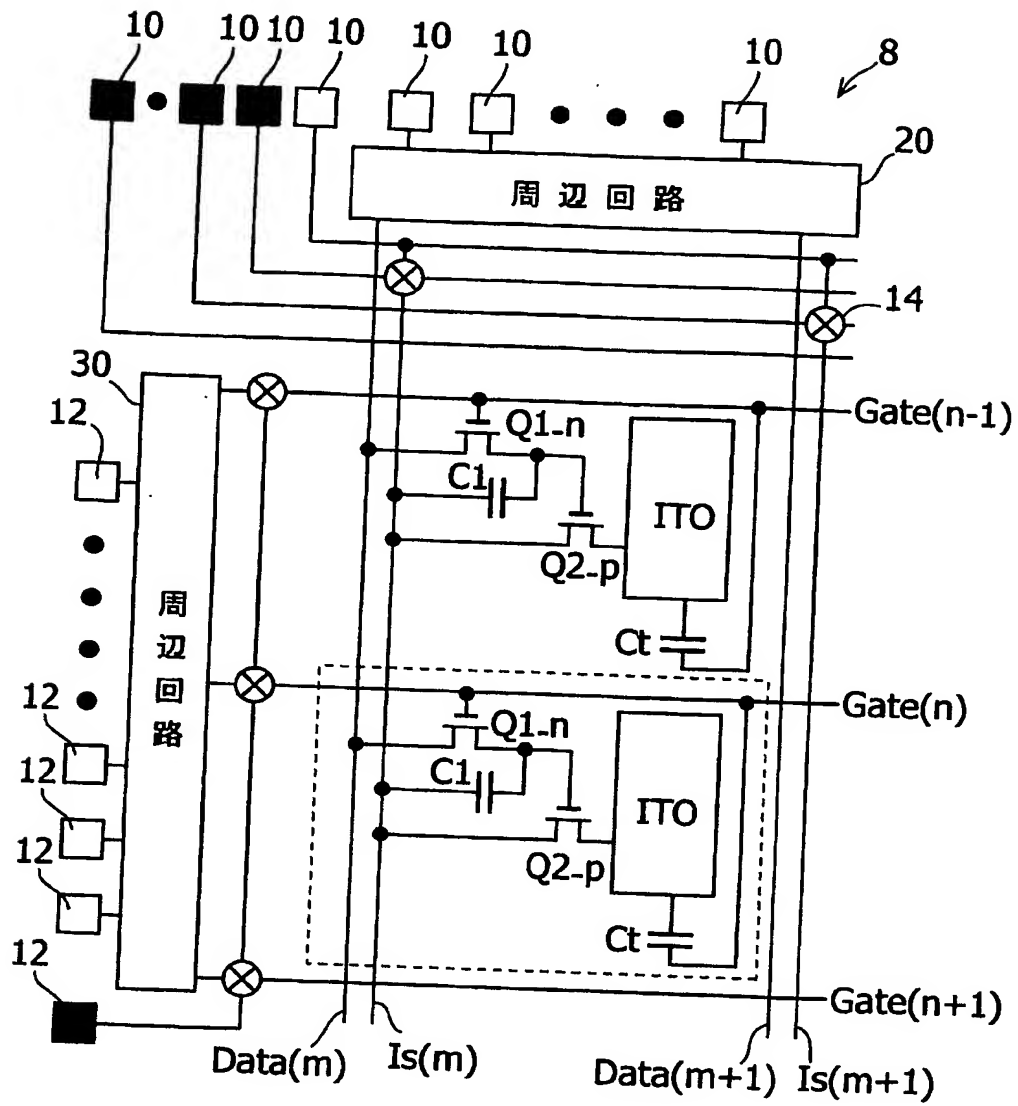
【図 9】



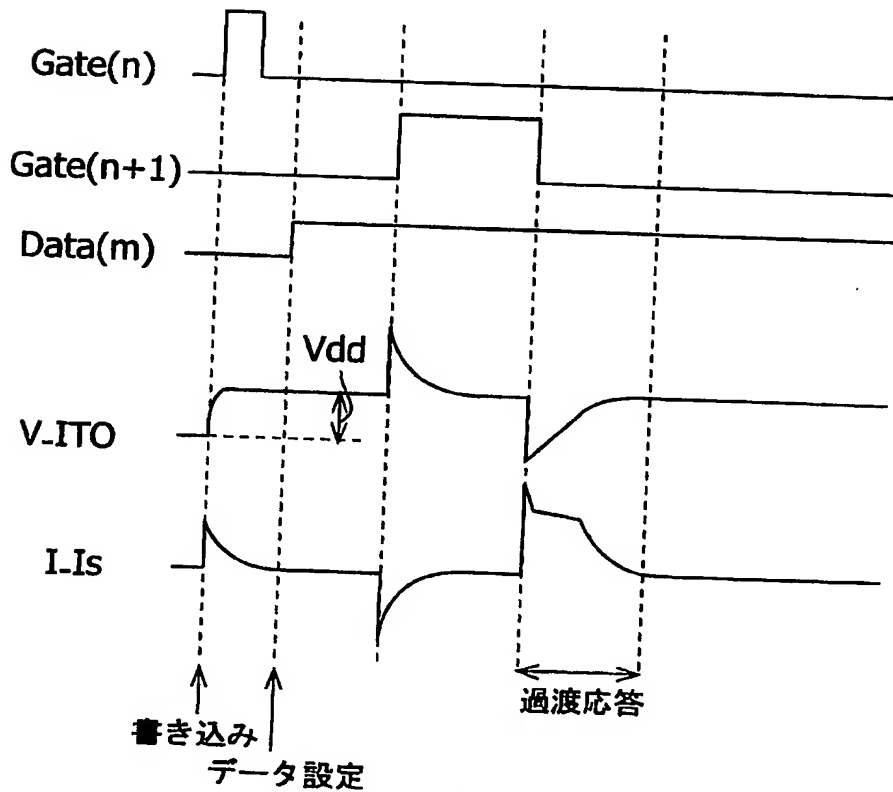
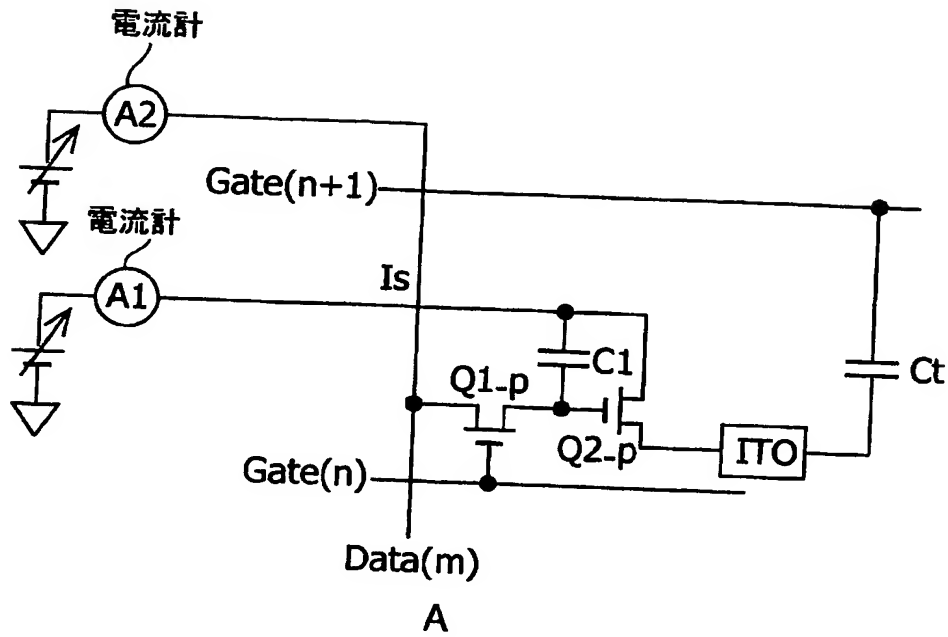
【図 10】



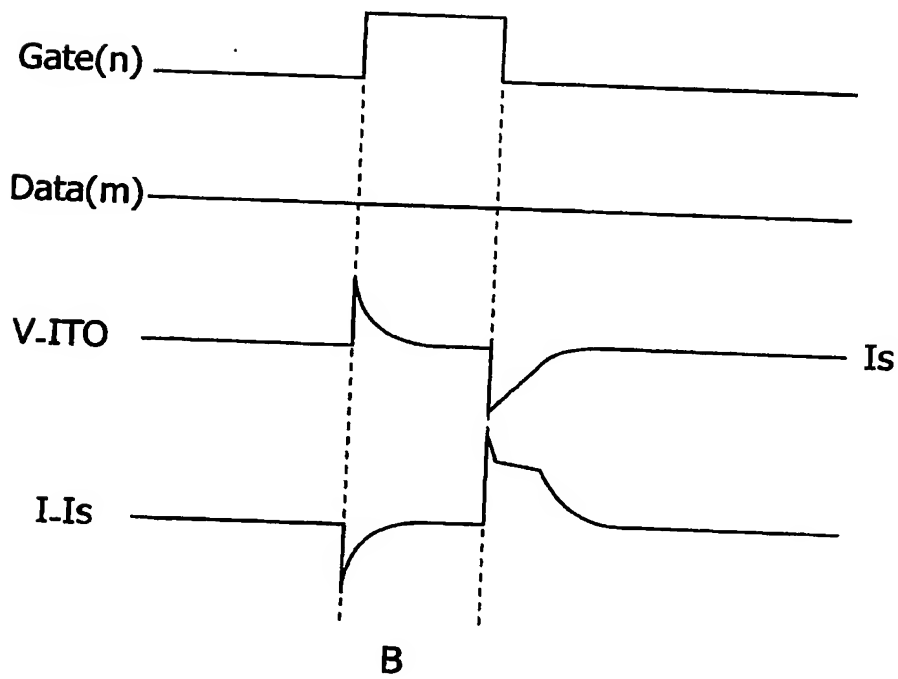
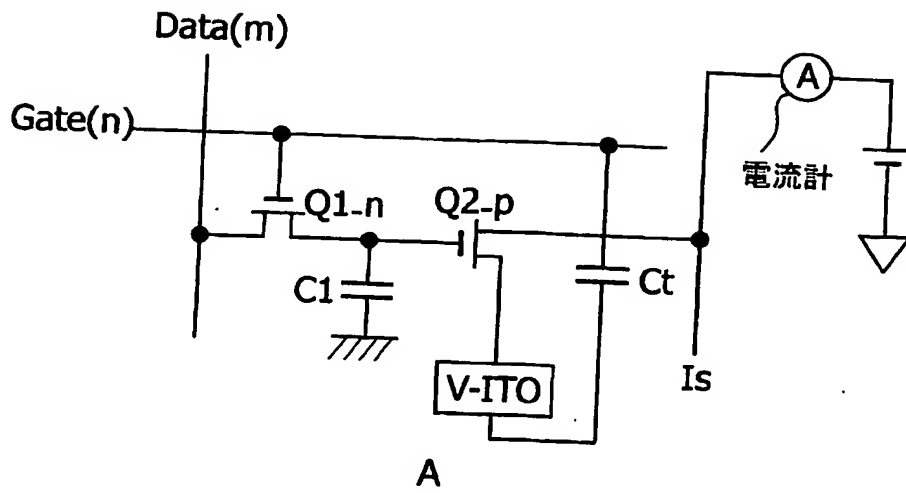
【図 11】



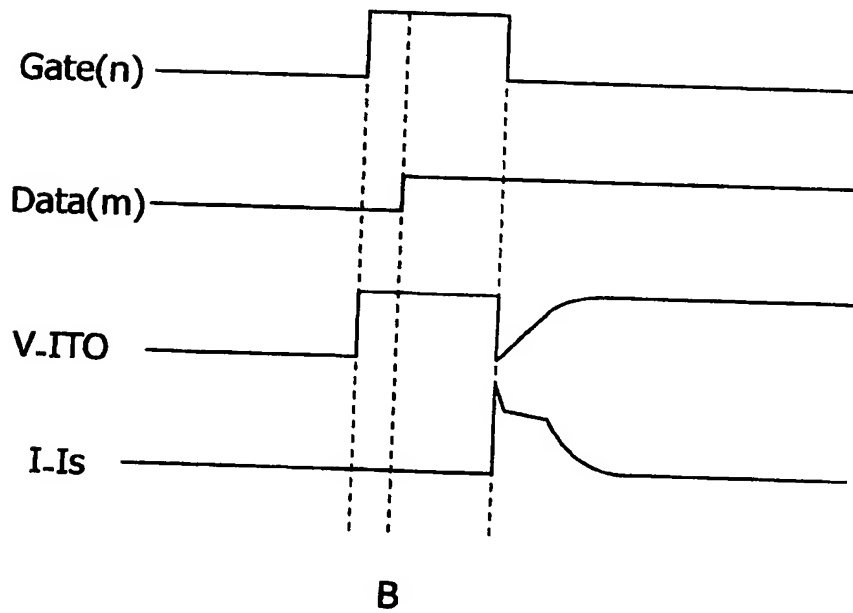
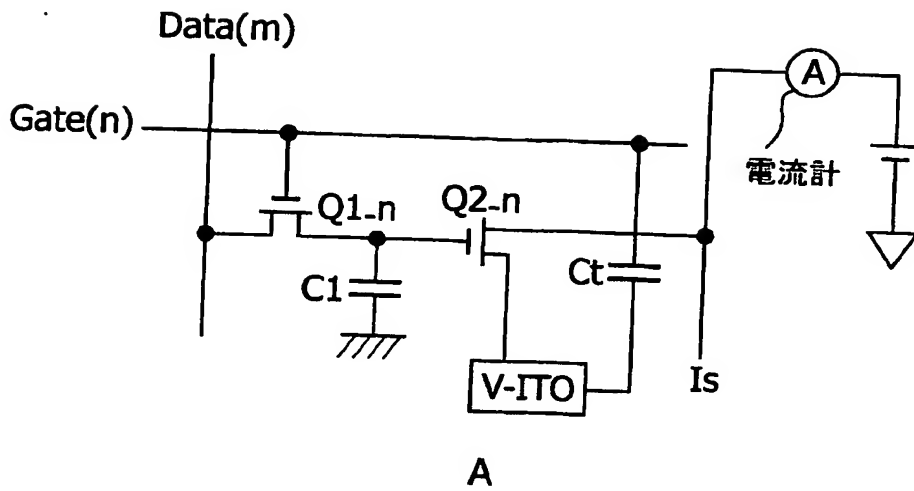
【図 12】



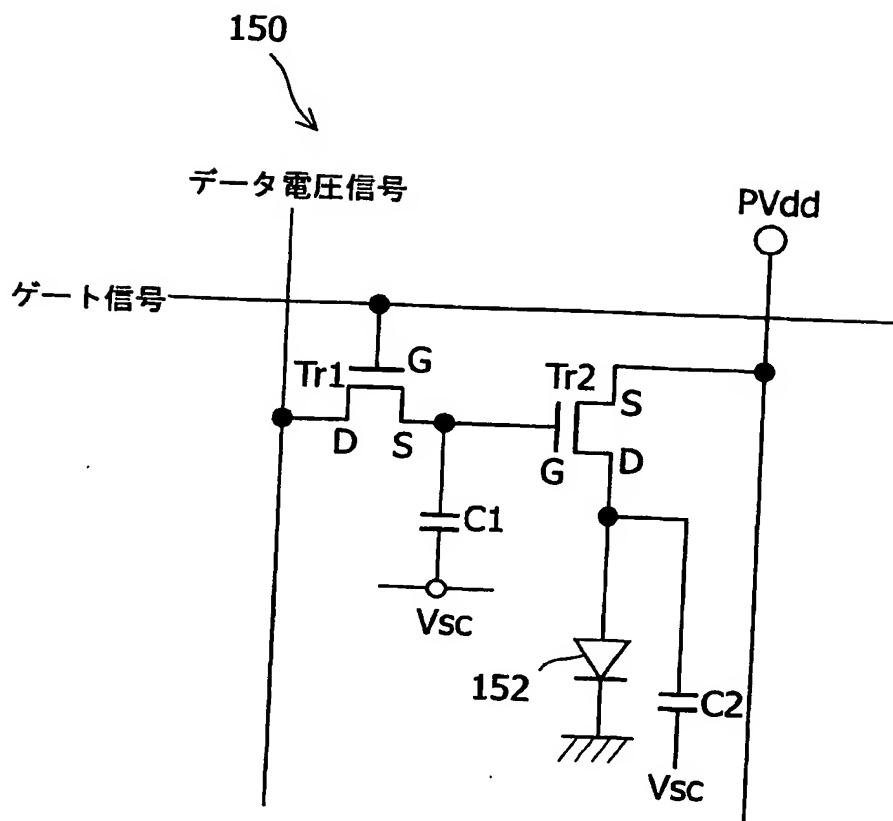
【図 13】



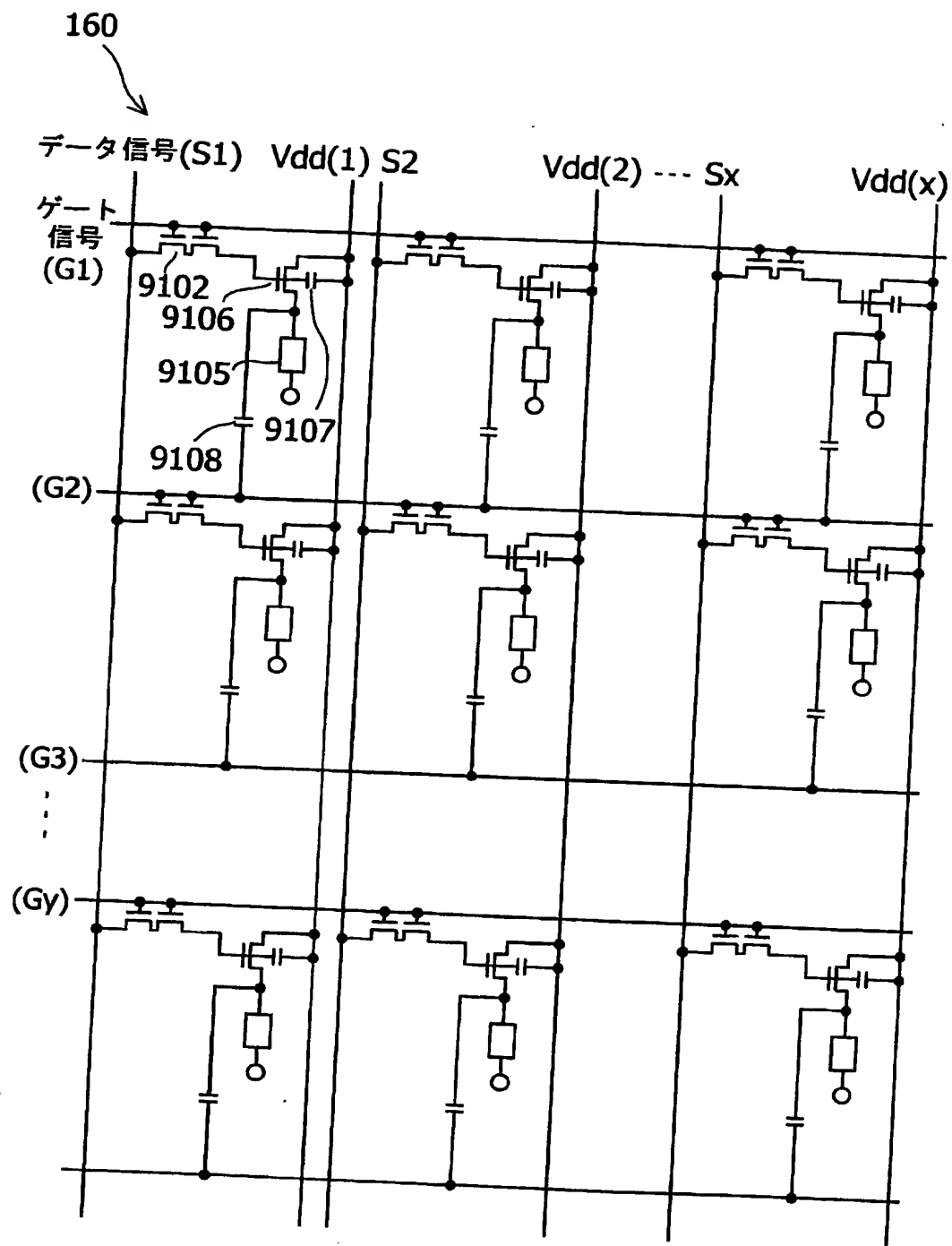
【図 14】



【図 15】



【図 16】



【書類名】

要約書

【要約】

【課題】 EL素子等を取付ける前にその駆動回路を検査する。

【解決手段】 基板と、該基板上に設けられる各画素を構成する表示素子のための電極と、該電極と電流源配線（ $I_s(m)$ ）とにそれぞれ接続される第1のトランジスタ（ $Q_2$ ）と、該第1のトランジスタ（ $Q_2$ ）のゲートと前記表示素子にデータ保持用信号配線（ $Data(m)$ ）とにそれぞれ接続される第2のトランジスタ（ $Q_1$ ）と、前記第1電流源配線と前記第1のトランジスタのゲートとにそれぞれ接続される保持容量（ $C_1$ ）と、前記電極と前記表示素子に隣接する別の表示素子用のゲート信号配線（ $Gate(n-1)$ ）とに接続され、前記第2のトランジスタから前記電極に流れる電流を、該別の表示素子用のゲート信号配線（ $Gate(n-1)$ ）へと導く第3のトランジスタ（ $Q_t$ ）とを少なくとも含むアクティブマトリクス型の表示装置とこの表示装置の検査方法とを提供する。

【選択図】

図1

認定・付加情報

特許出願の番号

特願 2002-364492

受付番号

50201905301

書類名

特許願

担当官

第五担当上席

0094

作成日

平成14年12月17日

<認定情報・付加情報>

【提出日】

平成14年12月16日

次頁無

特願 2002-364492

出願人履歴情報

識別番号

[000121914]

1. 変更年月日  
[変更理由]  
住 所  
氏 名

1995年 6月 2日  
名称変更  
東京都八王子市高倉町9番1号  
日本ヒューレット・パカード株式会社

2. 変更年月日  
[変更理由]  
住 所  
氏 名

1999年11月 1日  
名称変更  
東京都八王子市高倉町9番1号  
アジレント・テクノロジー株式会社